

Рабочая программа дисциплины

1. Название дисциплины: «Лего» на ПЛИС. Применение ПЛИС (FPGA)

2. Уровень высшего образования – магистратура

3. Направление подготовки: 03.04.02 Физика (магистратура)

Последние тенденции к замедлению роста производительности вычислительных устройств (нарушение закона Мура) требуют поиска новых подходов и платформ для создания ускорителей вычислений. Одной из таких новых платформ наряду с ГПУ являются микросхемы программируемой логики (ПЛИС/FPGA). За счет наличия архитектурных особенностей ПЛИС поддерживают масштабное распараллеливание данных, а наличие современных скоростных интерфейсов выводят их по производительности в один ряд с самыми современными вычислителями на базе графических карт, а с учетом энергопотребления (соотношения производительности на затраченную электроэнергию) ставят их вообще вне конкуренции.

Данный курс рассчитан на магистров физического факультета МГУ, желающих расширить свой кругозор и познакомиться с современными тенденциями в области перепрограммируемых цифровых интегральных микросхем, методов параллельной обработки сигналов и областей их применения. В рамках курса студенты получают знания о современном уровне развития цифровых программируемых микросхем, их внутренней структуре, изучают соответствующие языки программирования, автоматизированные среды для работы и программирования микросхем, способы обмена информации между цифровыми устройствами и применяют полученные знания на практике в ходе выполнения лабораторных работ на учебных платах фирмы XILINX. Значительная часть курса посвящена именно практическим занятиям (~70%) для лучшего усвоения полученных навыков и формирования некоторого опыта работы с ПЛИС (FPGA) у слушателей курса.

Практическая часть курса предполагает работу с современной отладочной платой ZYBO фирмы Digilent Inc. с установленной ПЛИС/FPGA Zynq-7000 (7-я серия) xc7z010 фирмы Xilinx. Установленная на плату микросхема ПЛИС сочетает в себе не только классическую микросхему ПЛИС с широким набором блоков: логических операций, умножения, ввода-вывода и блоков памяти, но и производительный двухядерный процессор ARM A9 связанный с программируемой логикой производительной шиной AXI.

Акцент в курсе сделан на формировании у слушателей представления о том, насколько сложные схемы можно создавать на ПЛИС. В качестве прототипа подобной системы выбрана система захвата, фильтрации и отображения цифрового видео-потoka. Для ее реализации слушатели курса изучают соответствующие программные среды для работы с ARM процессором внутри ПЛИС (SDK), работы на языке высокого уровня на ПЛИС (HLS). Результатом работы во втором семестре является способность слушателей самостоятельно реализовывать при помощи комбинации САПР Vivado/SDK/HLS такие цифровые схемы как: процессорная система с произвольной периферией на базе ПЛИС, схема генерации видео изображения, схема фильтрации потокового видео изображения.

5. Объем дисциплины в зачетных единицах с указанием количества академических или астрономических часов, выделенных на контактную работу обучающихся с преподавателем (по видам учебных занятий) и на самостоятельную работу обучающихся (указывается согласно рабочему плану):

Объем дисциплины составляет 2 зачетные единицы, всего 68 часа, из которых 34 часов составляет контактная работа обучающегося с преподавателем (16 часов занятия лекционного типа, 16 часов занятия семинарского типа, 2 часа коллоквиумов), 34 часов составляет самостоятельная работа обучающегося.

6. Формируемые компетенции и входные требования для освоения дисциплины, предварительные условия:

Для успешного освоения дисциплины студент должен:

1. Знать устройство современного компьютера (какие составные части в него входят, за что каждая часть отвечает)
2. Уметь работать с x86 совместимым ПК на базе Windows или Linux
3. Владеть базовым синтаксисом языка программирования Си

В результате изучения дисциплины студент должен:

1. СПК-1 знать принципы архитектуру и принципы функционирования современных ПЛИС (FPGA), их возможности, преимущества и недостатки для высокопроизводительных вычислений
2. СПК-2 уметь использовать современные FPGA для организации передачи данных и вычислительного процесса, разрабатывать проекты для FPGA в САПР VIVADO (SDK, HLS)
3. СПК-3 владеть языком программирования FPGA VHDL, программными средствами для создания, отладки и запуска вычислительных проектов на FPGA

ПОРОГОВЫЙ (ВХОДНОЙ) УРОВНЬ ЗНАНИЙ, УМЕНИЙ, ОПЫТА ДЕЯТЕЛЬНОСТИ, ТРЕБУЕМЫЙ ДЛЯ ФОРМИРОВАНИЯ КОМПЕТЕНЦИЙ

Для того чтобы формирование данных компетенций было возможно, обучающийся, приступивший к освоению образовательной программы, должен:

- * **ЗНАТЬ:** язык программирования СИ++, основы булевой алгебры.
- * **УМЕТЬ:** самостоятельно осваивать англоязычные описания цифровых компонентов (Data Sheet), англоязычные методические разработки.
- * **ВЛАДЕТЬ:** навыками сбора, обработки, анализа и систематизации информации по теме исследования.

Для освоения дисциплины необходимы знания и умения, приобретаемые в рамках курса «Компьютерная физика».

7. Содержание дисциплины, структурированное по темам (разделам) с указанием отведенного на них количества академических часов и виды учебных занятий

Наименование и краткое содержание разделов и тем дисциплины, форма промежуточной аттестации по дисциплине	Контактная работа			Самостоятельная работа		
	лекции	практика	часы	Домашние задания	Лабораторные работы	часы
Тема 1: Вводное занятие. Архитектура системы на кристалле ARM+ПЛИС Вводная лекция.	-	2	2	-	-	-
Тема 2: Работы в среде SDK, создание проекта на ядре ARM. (2 занятия) Среда SDK. Работа с процессоров ARM. Проект вывода текста в консоль. Прошивка проектов в постоянную память с помощью FSBL.	2	2	4	2	2	4
Тема 3: Работа с периферией процессора ARM (готовые IP ядра и создание custom IP ядра) (2 занятия) Подключение периферии (GPIO) к процессору ARM в Vivado IP integrator. Создание кода управление периферией в среде SDK. Разработка собственного периферийного ядра.	2	2	4	2	4	6
Тема 4: Работа с видео изображением. Генерация тестовых последовательностей на мониторе. (3 занятия) Теория построения видео	2	4	6	2	4	6

изображения. Сборка системы видео отображения в Vivado IP integrator. Создание кода управления генерацией тестовых изображений в среде SDK.						
Тема 5: Интерфейс AXI-stream. CMOS матрица. Работа с захватом видео потока. (3 занятия) Виды AXI интерфейсов, и AXI-stream в частности. Работа CMOS матрицы. Сборка системы потоковой трансляции изображения с камеры на монитор через матрицу ПЛИС.	2	2	6	2	4	6
Тема 6: Среда Vivado HLS. Создание кода для ПЛИС на языке высокого уровня (C++). (2 занятия) Среда Vivado HLS, обзор и особенности работы. Создание счетчика и управляемого счетчика на C/C++, перенос проекта в виде IP ядра в среду Vivado. Создание для управляемого счетчика программы в среде SDK.	2	2	4	2	4	6
Тема 7: Фильтрация изображения пороговым фильтром и методом свертки. Теория и практика (2 занятия) Построение порогового фильтра в среде HLS. Создание проекта по пороговой фильтрации потокового видео изображения. Построение сверточного фильтра в среде HLS. Создание проекта по сверточной фильтрации потокового видео изображения.	2	2	4	2	4	6

Промежуточный зачет		2	2		
Зачет с оценкой		2	2		
Итого			34		34

8. Перечень учебно-методического обеспечения для самостоятельной работы обучающихся по дисциплине:

Основная и дополнительная литература доступная студентам через Интернет или по запросу лектору

9. Фонд оценочных средств для проведения промежуточной аттестации обучающихся по дисциплине

Типовые контрольные вопросы и темы для обсуждения:

1. Рассказать о внутренней архитектуре ПЛИС Zynq-7000
2. Рассказать о преимуществах и недостатках ускорителей вычисления на базе ПЛИС
3. Написать код сумматора/умножителя/конечного автомата на языке HDL
4. Собрать проект в САПР включающий в себя процессорное ядро
5. Собрать проект в САПР реализующих фильтрацию видео-потока

10. Перечень основной и дополнительной учебной литературы

1. Дэвид М. Харрис Сара Л. Харрис Цифровая схемотехника и архитектура компьютера. Второе издание
2. Максфилд К. Проектирование на ПЛИС. Курс молодого бойца. Москва. Издательский дом «Додэка-XXI». 2007
3. Pong P. Chu. RTL Hardware Design Using VHDL. Coding for Efficiency, Portability and Scalability
4. Pong P. Chu. «FPGA Prototyping By VHDL Examples», John Wiley & Sons, 2008.

11. Перечень ресурсов Интернет необходимых для освоения дисциплины:

Xilinx.com

Digilentinc.com

12. Методические указания для обучающихся по освоению дисциплины

Для освоения дисциплины необходимо посещение интерактивных занятий (лекций и практических семинаров) и регулярная самостоятельная работа в течение семестра. Для большей части тем курса имеются электронные презентации. Рекомендуется перед каждым занятием скачать соответствующую презентацию и иметь ее на интерактивном занятии, на ноутбуке или планшете в режиме off-line или в распечатанном виде, используя как основу

конспекта для собственных пометок и комментариев.

Контактная работа состоит из 2-х компонентов: обсуждение теоретических и методических основ и практические занятия с платой ZYBO.

Домашние задания также, в основном, состоят из двух частей: чисто программные решения и лабораторные работы на базе платы ZYBO для решения простых учебных задач. Решения домашних заданий и листинги выполнения лабораторных работ выкладываются в дигипозитории и их результаты учитываются при проведении промежуточных и окончательных зачетов.

13. Перечень информационных технологий, используемых при осуществлении образовательного процесса по дисциплине, включая перечень программного обеспечения и информационных справочных систем (при необходимости):

Курс имеет электронные версии (презентации) изучаемого материала. Этот материал преподносится с использованием современных мультимедийных возможностей и проекционного и компьютерного оборудования. Демонстрации проводятся с использованием базовой платы ZYBO.

14. Описание материально-технической базы, необходимой для осуществления образовательного процесса по дисциплине

Любая аудитория, оснащенная проекционным оборудованием с возможностью подключения к ноутбуку, экраном, и учебной доской подходит для проведения лекций по данной дисциплине. Проведение практических занятий (семинаров и лабораторных работ) требуют наличия дополнительно у каждого слушателя x86 совместимого ПК на базе Windows 7/Linux и отладочной платы ZYBO фирмы Digilent Inc. В настоящее время учебная аудитория 3-14 КНО имеет 7 рабочих мест, оснащенных современными компьютерами последнего поколения с лицензионным программным обеспечением (Windows7, Vivado, Linux и пр.), «домашней» компьютерной сетью с выходом в интернет, платами ZYBO и внешней периферией, подключенной к плате и состоящей из 2-х видеочамер, способных моделировать стерео с последующей on-line цифровой обработкой на плате и последующей более сложной off-line обработкой на компьютере.